

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-122532

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.<sup>6</sup>

識別記号

H 0 4 N 5/335

F I

H 0 1 L 27/146

H 0 4 N 5/335

E

H 0 1 L 27/14

A

審査請求 未請求 請求項の数14 OL (全 13 頁)

(21)出願番号 特願平9-261208

(22)出願日 平成9年(1997)9月26日

(31)優先権主張番号 特願平9-54356

(32)優先日 平9(1997)3月10日

(33)優先権主張国 日本 (JP)

(31)優先権主張番号 特願平9-220265

(32)優先日 平9(1997)8月15日

(33)優先権主張国 日本 (JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 米本 和也

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 鈴木 亮司

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

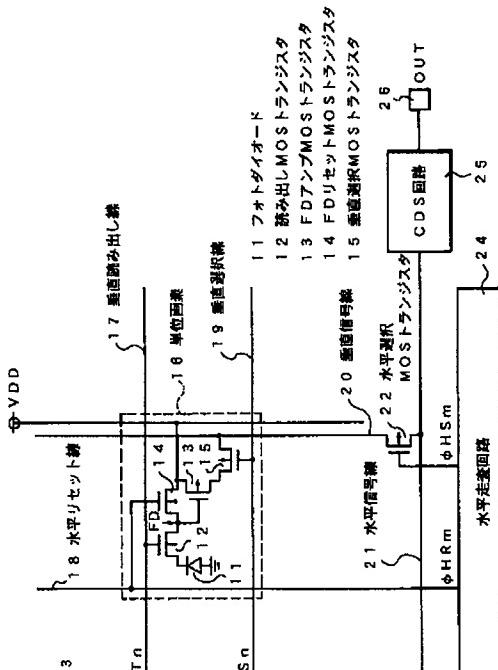
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 固体撮像素子およびその駆動方法

(57)【要約】

【課題】 単位画素ごとの特性のバラツキに起因する固定パターンノイズのみならず、垂直に相関を持つ縦筋状の固定パターンノイズをも抑圧できることが望まれている。

【解決手段】 フォトダイオード11、FD読み出しMOSトランジスタ12、FDアンプMOSトランジスタ13、FDリセットMOSトランジスタ14および垂直選択MOSトランジスタ15からなる単位画素16が行列状に配置されてなる増幅型固体撮像素子において、水平走査回路24から出力される水平リセットパルス $\phi H R_m$ をFDリセットMOSトランジスタ14のゲート電極に印加して1画素信号を出力するごとに各画素16のFDをリセットする。



**【特許請求の範囲】**

**【請求項1】** 行列状に配置された単位画素が、光電変換素子と、前記光電変換素子から転送される信号電荷を蓄積する蓄積部を有し、当該蓄積部の信号電荷を電気信号に変換する増幅素子と、前記増幅素子からの画素信号を選択的に垂直信号線に出力する選択スイッチとを具備してなる固体撮像素子であって、

単位画素の各々において画素信号を出力するごとに各増幅素子の蓄積部をリセットするリセット回路を備えたことを特徴とする固体撮像素子。

**【請求項2】** 前記リセット回路は、単位画素の各々を列選択するための水平走査回路であることを特徴とする請求項1記載の固体撮像素子。

**【請求項3】** 前記リセット回路は、画素信号を読み出す直前にリセット動作を行うことを特徴とする請求項1記載の固体撮像素子。

**【請求項4】** 前記垂直信号線と水平信号線との間に、前記垂直信号線に導出された前記リセット回路によるリセット前の信号とリセット後の信号とを共通に出力する水平選択スイッチを備えたことを特徴とする請求項1記載の固体撮像素子。

**【請求項5】** 前記水平選択スイッチによって前記水平信号線に出力されたリセット前の信号とリセット後の信号のそれぞれの差分をとる差分回路を備えたことを特徴とする請求項4記載の固体撮像素子。

**【請求項6】** 前記差分回路は、相関二重サンプリング回路であることを特徴とする請求項5記載の固体撮像素子。

**【請求項7】** 前記光電変換素子は、埋め込みフォトダイオードからなることを特徴とする請求項1記載の固体撮像素子。

**【請求項8】** 単位画素の各々を行選択するための垂直走査回路を有し、

前記垂直走査回路は、垂直選択走査パルスおよび垂直読み出し走査パルスの2種類の垂直走査パルスを別々の信号線を介して単位画素に与えるとともに、2種類の垂直走査パルスのタイミング関係を任意に設定可能であることを特徴とする請求項1記載の固体撮像素子。

**【請求項9】** 前記水平走査回路は、前記光電変換素子から前記蓄積部へ信号電荷を読み出すための読み出し走査パルスを順次出力し、1列前の読み出しタイミングでの読み出し走査パルスによって各単位画素の蓄積部のリセット動作を行うことを特徴とする請求項2記載の固体撮像素子。

**【請求項10】** 前記光電変換素子から前記蓄積部へ信号電荷を読み出す読み出しゲート部は、前記光電変換素子の過剰信号電荷のオーバーフロー動作を兼ねることを特徴とする請求項1記載の固体撮像素子。

前記読み出しゲート部のポテンシャルが、前記光電変換素子の素子分離領域のポテンシャルよりも高い電位に設定されていることを特徴とする請求項10記載の固体撮像素子。

**【請求項12】** 前記光電変換素子が電子を信号電荷として蓄積する場合において、

前記蓄積部をリセットするリセットゲート部のポテンシャルが、前記読み出しゲート部のポテンシャルよりも高い電位に設定されていることを特徴とする請求項10記載の固体撮像素子。

**【請求項13】** 行列状に配置された単位画素が、光電変換素子と、前記光電変換素子から転送される信号電荷を蓄積する蓄積部を有し、当該蓄積部の信号電荷を電気信号に変換する増幅素子と、前記増幅素子からの画素信号を選択的に垂直信号線に出力する選択スイッチとを具備してなる固体撮像素子において、

単位画素の各々において画素信号を出力するごとに各増幅素子の蓄積部をリセットし、

単位画素の各々からリセット前の信号とリセット後の信号とを導出しあつ共通の伝送路を経由して伝送し、しかる後リセット前の信号とリセット後の信号のそれぞれの差分をとることを特徴とする固体撮像素子の駆動方法。

**【請求項14】** 単位画素の各々において各増幅素子の蓄積部のリセット動作を画素信号を読み出す直前に行なうことを特徴とする請求項13記載の固体撮像素子の駆動方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は、固体撮像素子およびその駆動方法に関し、特に増幅機能を持つ単位画素が行列状に配置されてなるMOS型イメージセンサなどの増幅型固体撮像素子およびその駆動方法に関する。

**【0002】**

【従来の技術】従来、この種の増幅型固体撮像素子として、図12に示す構成のものが知られている。すなわち、図12において、フォトダイオード101、FD(Floating Diffusion)読み出しMOSトランジスタ102、FDアンプMOSトランジスタ103、FDリセットMOSトランジスタ104および垂直選択MOSトランジスタ105によって単位画素106が構成され、FD読み出しMOSトランジスタ102のゲート電極が垂直読み出し線107に、FDリセットMOSトランジスタ104のゲート電極が垂直リセット線108に、垂直選択MOSトランジスタ105のゲート電極が垂直選択線109に、垂直選択MOSトランジスタ105のソース電極が垂直信号線110にそれぞれ接続されている。

**【0003】** また、垂直信号線110の一端と水平信号

113から出力される3種類の垂直走査パルス $\varphi V_{S_n}$ ,  $\varphi V_{T_n}$ ,  $\varphi V_R$ により各行ごとに画素の動作が制御され、列選択をする水平走査回路114から出力される水平走査パルス $\varphi H_m$ により制御される水平選択MOSトランジスタ112を介して画素信号が水平信号線111に出力される。その際、光電変換によってフォトダイオード101に蓄積された信号電荷が、FDアンプMOSトランジスタ103によって信号電流に変換されて撮像素子の出力信号として導出される。

#### 【0004】

【発明が解決しようとする課題】しかしながら、上記構成の従来の増幅型固体撮像素子では、各画素を構成する能動素子、主にFDアンプMOSトランジスタ103の特性の画素ごとのバラツキ、特にMOSトランジスタの $V_{th}$ (閾値)バラツキがそのまま撮像素子の出力信号に乗ってきてしまう。この特性のバラツキは、画素ごとに固定の値を持つため、画面上に固定パターンノイズ(FPN; Fixed Pattern Noise)として現れる。この固定パターンノイズを抑圧するためには、デバイスの外部にフレームメモリやラインメモリ用いたノイズ除去回路を設けて画素の特性のバラツキに起因するノイズ成分を除去する必要があり、したがってカメラシステムとしては、ノイズ除去回路を外付けとする分だけ規模が大きくなってしまう。

【0005】これに対し、固定パターンノイズをデバイスの内部で抑圧できるようにした増幅型固体撮像素子として、図13に示す構成のものが考えられる。この増幅型固体撮像素子においては、単位画素106の構成は図12と同じであるが、各画素106の特性のバラツキに起因する固定パターンノイズを抑圧するための水平出力回路115を設け、この水平出力回路115で画素106の読み出し前後(リセット前後)の信号の差分をとる処理を行うようになっている点が違う。

【0006】図13において、垂直信号線110とグラウンドとの間には、FDアンプMOSトランジスタ103のソースフォロワ動作の負荷として働く負荷MOSトランジスタ116が接続されている。また、垂直信号線110には、一対の信号スイッチMOSトランジスタ117, 117'の各一方の主電極が接続されている。この一対の信号スイッチMOSトランジスタ117, 117'の各他方の主電極とグラウンドとの間には、一対の信号保持キャパシタ118, 118'がそれぞれ接続されている。

【0007】また、一対の信号スイッチMOSトランジスタ117, 117'の各他方の主電極と一対の水平信号線111, 111'との間には、一対の水平選択MOSトランジスタ112, 112'がそれぞれ接続されている。一対の水平信号線111, 111'には、差動ア

【0008】上記構成の増幅型固体撮像素子においては、画素リセット前とリセット後のそれぞれの信号が、信号スイッチMOSトランジスタ117, 117'を介して信号保持キャパシタ118, 118'に保持され、水平選択MOSトランジスタ112, 112'および水平信号線111, 111'を介して差動アンプ119に供給される。そして、差動アンプ119において、画素リセット前とリセット後のそれぞれの信号の差分がとられることにより、単位画素ごとの特性のバラツキに起因する固定パターンノイズが除去される。

【0009】しかしながら、上記構成の増幅型固体撮像素子では、単位画素ごとの特性のバラツキに起因する固定パターンノイズについては抑圧することはできるものの、画素リセット前とリセット後のそれぞれの信号が別々の信号経路を通じて差動アンプ119に至ることから、一対の信号スイッチMOSトランジスタ117, 117'や一対の水平選択MOSトランジスタ112, 112'の特性のバラツキが、垂直に相関を持つ縦筋状の固定パターンノイズとして画面上に現れることになる。したがって、この構成の場合にも、縦筋状の固定パターンノイズを抑圧するための補正回路がデバイスの外部に必要となる。

【0010】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、単位画素ごとの特性のバラツキに起因する固定パターンノイズのみならず、縦筋状の固定パターンノイズをもデバイス内部で抑圧可能な増幅型固体撮像素子およびその駆動方法を提供することにある。

#### 【0011】

【課題を解決するための手段】本発明による固体撮像素子は、行列状に配置された単位画素が、光電変換素子と、この光電変換素子から転送される信号電荷を蓄積する蓄積部を有し、当該蓄積部の信号電荷を電気信号に変換する増幅素子と、この増幅素子からの画素信号を選択的に垂直信号線に出力する選択スイッチとを具備し、単位画素の各々において画素信号を出力するごとに各増幅素子の蓄積部をリセットするリセット回路を備えた構成となっている。

【0012】本発明による駆動方法は、上記構成の固体撮像素子において、単位画素の各々で画素信号を出力するごとに各増幅素子の蓄積部をリセットし、単位画素の各々からリセット前の信号とリセット後の信号とを導出しきつ共通の伝送路を経由して伝送し、かかる後リセット前の信号とリセット後の信号のそれぞれの差分をとるようにする。

【0013】上記構成の固体撮像素子の単位画素の各々において、画素信号を出力するごとに各増幅素子の蓄積部をリセットすることで、各単位画素からはリセット前

ノイズが、各画素の増幅素子からオフセット成分として発生することから、リセット前とリセット後の信号の差分をとることで、ノイズ成分をキャンセルできる。また、リセット前とリセット後の信号を垂直信号線から水平信号線へ同一の信号経路を経由して出力することで、垂直に相関を持つ縦筋状のノイズ成分も原理的に発生しない。

#### 【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しつつ詳細に説明する。

【0015】図1は、本発明の第1実施形態を示す構成図である。図1において、単位画素16は、光電変換素子であるフォトダイオード11、FD読み出しMOSトランジスタ12、増幅素子であるFDアンプMOSトランジスタ13、FDリセットMOSトランジスタ14および選択素子である垂直選択MOSトランジスタ15によって構成され、行列状に2次元配置されている。なお、図面上においては、簡略化のため、n行・m列目の単位画素16のみを示している。

【0016】この単位画素16において、FD読み出しMOSトランジスタ12のゲート電極が垂直読み出し線17に、FDリセットMOSトランジスタ14のゲート電極が水平リセット線18に、垂直選択MOSトランジスタ15のゲート電極が垂直選択線19に、垂直選択MOSトランジスタ15のソース電極が垂直信号線20にそれぞれ接続されている。また、垂直信号線20の一端と水平信号線21との間には、水平選択MOSトランジスタ22が接続されている。

【0017】また、行選択のための垂直走査回路23および列選択のための水平走査回路24が設けられている。そして、垂直走査回路23から出力される垂直読み出し走査パルス $\varphi V T_n$ が垂直読み出し線17に、垂直選択走査パルス $\varphi V S_n$ が垂直選択線19にそれぞれ印加される。水平走査回路24から出力される水平リセットパルス $\varphi H R_m$ が水平リセット線18に、水平選択走査パルス $\varphi H S_m$ が水平選択MOSトランジスタ22のゲート電極にそれぞれ印加される。すなわち、水平走査回路24が、水平リセットパルス $\varphi H R_m$ を発生するリセット回路を兼ねることにより、回路構成の簡略化を図っている。

【0018】水平信号線21の出力端側には、画素リセット前とリセット後のそれぞれの信号の差分をとる差分回路として、例えば回路構成が簡単な相関二重サンプリング回路（以下、CDS（Correlated Double Sampling）回路と称する）25が設けられている。このCDS回路25の具体的な回路構成およびその回路動作については、後で詳細に説明する。CDS回路25の出力端は、本撮像素子の出力端子26に接続されている。

ートを用いて説明する。

【0020】先ず、光電変換によってフォトダイオード11に蓄積された信号電荷（電子）は、垂直走査回路23から垂直読み出し走査パルス $\varphi V T_1, \varphi V T_n, \varphi V T_{n+1}, \dots, \varphi V T_N$ が出力され、各画素行ごとにFD読み出しMOSトランジスタ12が順に導通することにより、FD（MOSトランジスタ12のドレイン電極=フォトダイオード11と反対側の主電極）に転送される。フォトダイオード11からFDへの信号電荷の転送は水平プランギング（H-BLK）期間中に行われる。

【0021】FDに信号電荷が転送されることで、FDの電位が変化する。このFDの信号電圧は、FDにゲート電極が接続されたFDアンプMOSトランジスタ13によって信号電流に変換される。そして、水平映像期間に入ると、垂直走査回路23から垂直選択走査パルス $\varphi V S_1, \varphi V S_n, \varphi V S_{n+1}, \dots, \varphi V S_N$ が出力され、垂直選択MOSトランジスタ15が導通状態になることにより、信号電流が垂直信号線20に現れる。

【0022】この水平映像期間中に、水平走査回路24から水平選択走査パルス $\varphi H S_m (\varphi H S_1, \dots, \varphi H S_m, \varphi H S_{m+1}, \dots, \varphi H S_M)$ が出力され、水平選択MOSトランジスタ22が導通状態になることにより、垂直信号線20に現れた信号電流は、水平選択MOSトランジスタ22を通して水平信号線21に流れ、この水平信号線21を経てCDS回路25に供給される。

【0023】その後すぐに、信号電流を出力したその同一画素に対して、水平走査回路24から水平リセットパルス $\varphi H R_m (\varphi H R_1, \dots, \varphi H R_m, \varphi H R_{m+1}, \dots, \varphi H R_M)$ が出力され、FDリセットMOSトランジスタ14が導通状態になることにより、FDがリセットされる。この水平リセットパルス $\varphi H R_m$ は、図2のタイミングチャートから明らかなように、水平選択走査パルス $\varphi H S_m$ の発生期間のほぼ中間で発生される。

【0024】したがって、水平リセットパルス $\varphi H R_m$ の消滅後、即ちリセット後のFDの信号電荷がFDアンプMOSトランジスタ13によって信号電流に変換され、その信号電流が垂直選択MOSトランジスタ15から垂直信号線20および水平選択MOSトランジスタ22を通して水平信号線21に流れ、この水平信号線21を経てCDS回路25に供給される。

【0025】このように、1つの画素16に対して信号出力→FDリセット→信号出力という一連の動作を、水平走査回路24から水平リセットパルス $\varphi H R_m$ および水平選択走査パルス $\varphi H S_m$ を出力することにより、同一画素行について順次行う。また、垂直走査回路23から垂直読み出し走査パルス $\varphi V T_n$ および垂直選択走査

力される。

【0026】今、n行-m列目の画素に注目すると、水平選択走査パルス $\phi HS_m$ が立ち上がってm列目の画素が選択されている状態で、FDのリセット前とリセット後の画素の信号電流が水平信号線21に出力されることになる。すなわち、信号電荷が蓄積された状態の画素の信号電流と、信号電荷がリセットされた状態の画素の信号電流とが続けて出力されてCDS回路25に供給される。そして、このCDS回路25において、リセット前とリセット後の画素信号を使って相関二重サンプリングを行うことにより、主にFDアンプMOSトランジスタ13の特性のバラツキ成分を除去することができる。

【0027】図3に、CDS回路25の具体的な回路構成の一例を示す。このCDS回路25は、入力端子31に入力端が接続された電流電圧変換回路32と、この電流電圧変換回路32の出力端に一端が接続されたクランプキャバシタ33と、このクランプキャバシタ33の他端に一方の主電極が接続されたクランプMOSトランジスタ34と、クランプキャバシタ33の他端に一方の主電極が接続されたサンプルホールドMOSトランジスタ35と、このサンプルホールドMOSトランジスタ35の他方の主電極とグランドとの間に接続されたサンプルホールドキャバシタ36と、サンプルホールドMOSトランジスタ35の他方の主電極と出力端子38との間に接続されたバッファアンプ37とから構成されている。

【0028】このCDS回路25において、電流電圧変換回路32は、入力端子31を介して供給される信号電流を反転(-)入力とし、所定のバイアス電圧Vbを非反転(+)入力とする差動アンプ39と、この差動アンプ39の反転入力端と出力端間に接続された帰還抵抗40とからなり、信号電流を信号電圧に変換する。クランプMOSトランジスタ34の他方の主電極にはクランプ電圧Vc1が、そのゲート電極にはクランプパルス $\phi CL$ がそれぞれ印加される。また、サンプルホールドMOSトランジスタ35のゲート電極には、サンプルホールドパルス $\phi SH$ が印加される。

【0029】次に、上記構成のCDS回路25の回路動作について、図4のタイミングチャートを用いて説明する。

【0030】水平選択走査パルス $\phi HS_m$ が立ち上がるとき、画素がリセットされる前の信号電流Vsigが入力端子31に入力され、電流電圧変換回路32によって逆の極性で信号電圧Vsigに変換される。この画素リセット前の信号電圧Vsigが高出力されている期間に合わせてクランプパルス $\phi CL$ が立つ。すると、クランプMOSトランジスタ34が導通状態となり、クランプキャバシタ33をクランプ電圧Vc1にクランプする。

【0031】続いて、水平リセットパルス $\phi HR_m$ が立

ホールドパルス $\phi SH$ が立ち、サンプルホールドMOSトランジスタ35が導通状態となることで、サンプルホールドキャバシタ36にサンプルホールドされ、相関二重サンプリングが行われる。このように、リセット前とリセット後の画素信号を使って相関二重サンプリングを行うことにより、主にFDアンプMOSトランジスタ13の特性のバラツキ成分を除去することができる。

【0032】上述したように、各画素16のFDのリセットを、1画素の信号が出力されるごとに行うようになるとともに、リセット前とリセット後の画素信号を使って相関二重サンプリングを行うようにしたことにより、画素の特性のバラツキに起因する固定パターンノイズおよび垂直信号線20に接続されたスイッチ素子(水平選択MOSトランジスタ22)の特性のバラツキに起因する縦筋状の固定パターンノイズを抑圧できる。

【0033】すなわち、画素の特性のバラツキに起因する固定パターンノイズについては、画素16のFDアンプMOSトランジスタ13からオフセット成分として発生するが、原理的に、画素リセット前とリセット後の信号を相関二重サンプリングすることによって除去できる。また、垂直信号線20に接続されたスイッチ素子の特性のバラツキに起因する縦筋状の固定パターンノイズについては、画素リセット前とリセット後の信号が同一の信号経路を通る構成となっており、別々のスイッチ素子(水平選択MOSトランジスタなど)を通ることがないため、これも原理的に発生することがない。

【0034】図5は、本発明の第2実施形態を示す構成図である。図5において、単位画素58は、光電変換素子であるフォトダイオード51、読み出しゲート部52、N<sup>+</sup>層からなるFD53、FDアンプMOSトランジスタ54、FDリセットゲート部55、垂直選択MOSトランジスタ56および読み出し制御MOSトランジスタ57から構成され、行列状に2次元配置されている。なお、図面上においては、簡略化のため、n行-m列目の単位画素58のみを示している。

【0035】この単位画素58において、フォトダイオード51は、基板表面側がP<sup>+</sup>層によって覆われた埋め込み型となっている。読み出しゲート部52は、フォトダイオード51とFD53の間のチャネルの上方に位置し、フォトダイオード51で光電変換された信号電荷をFD53に読み出す動作を行う。FD53は、フォトダイオード51から読み出された信号電荷を信号電圧に変換する。FDアンプMOSトランジスタ54は、FD53で変換された信号電圧を信号電流に変換して出力する。

【0036】そして、FDリセットゲート部55のゲート電極が1列前の水平読み出し線59<sub>m-1</sub>に、垂直選択MOSトランジスタ56のゲート電極が垂直選択線60

が垂直読み出し線62に、そのドレイン電極が水平読み出し線59<sub>m</sub>にそれぞれ接続されている。また、垂直信号線61の一端と水平信号線63との間には、水平選択MOSトランジスタ64が接続されている。

【0037】また、行選択のための垂直走査回路65および列選択のための水平走査回路66が設けられている。そして、垂直走査回路65から出力される垂直読み出し走査パルスφVT<sub>n</sub>が垂直読み出し線62に、垂直選択走査パルスφVS<sub>n</sub>が垂直選択線60にそれぞれ印加され、水平走査回路66から出力される水平読み出し走査パルスφHR<sub>m</sub>が水平読み出し線59<sub>m</sub>に、水平選択走査パルスφHS<sub>m</sub>が水平選択MOSトランジスタ64のゲート電極にそれぞれ印加される。

【0038】なお、水平走査回路66はリセット回路を兼ねており、この水平走査回路66から出力される水平読み出し走査パルスφHR<sub>m</sub>は、水平読み出し線59<sub>m</sub>に与えられるとともに、次の列の水平読み出し線59<sub>m+1</sub>にリセットパルスとして与えられる。このとき、水平読み出し線59<sub>m+1</sub>は、水平リセット線として機能することになる。

【0039】ここで、配線構造について説明する。配線構造の一例としては、図の上下方向に延在する垂直信号線61と水平読み出し線59を第1層目の配線、図の左右方向に延在する垂直選択線60と垂直読み出し線62を第2層目の配線、画素58および画素間の遮光層を兼ねる電源線を第3層目の配線によってそれぞれ形成する3層配線構造とする。他の例としては、図の左右方向に延在する垂直選択線60と垂直読み出し線62を第1層目の配線、図の上下方向に延在する垂直信号線61と水平読み出し線59を第2層目の配線、画素58および画素間の遮光層を兼ねる電源線を第3層目の配線によってそれぞれ形成する3層配線構造とする。

【0040】水平信号線63の出力端側には、画素リセット後とリセット前のそれぞれの信号の差分をとる差分回路として、例えば回路構成が簡単なCDS回路67が設けられている。このCDS回路67としては、例えば、先の実施形態で用いた図3に示す回路構成のものが用いられる。CDS回路67の出力端は、本撮像素子の出力端子68に接続されている。

【0041】次に、上記構成の第2実施形態に係る増幅型固体撮像素子の動作について、図6のタイミングチャートを用いて説明する。

【0042】ある一定期間入射した光が埋め込みフォトダイオード51で光電変換され、そこに信号電荷として蓄積される。ここで、フォトダイオード51からFD53に信号電荷を読み出す前に（1画素前の信号が出力されている間に）、水平走査回路66から1列前の水平読み出し走査パルスφHR<sub>m-1</sub>が出力され、水平読み出し

ベルにリセットされる。

【0043】そのまま後に、水平走査回路66からm列目の水平選択走査パルスφHS<sub>m</sub>が出力されることで、n行-m列目の画素の信号出力期間となる。このとき、垂直選択走査パルスφVS<sub>n</sub>が“H”レベルの状態にあり、垂直選択MOSトランジスタ56がオン状態にあることから、この信号出力期間中の前半では、FD53がリセットされた状態の信号がFDアンプMOSトランジスタ54および垂直選択MOSトランジスタ56を介して垂直信号線61に出力される。

【0044】また、この信号出力期間中の後半では、水平走査回路66から水平読み出し走査パルスφHR<sub>m</sub>が出力され、水平読み出し線59<sub>m</sub>を介して読み出し制御MOSトランジスタ57のドレイン電極に印加されることで、そのゲート電極には垂直読み出し走査パルスφVT<sub>n</sub>が印加されていることから、当該MOSトランジスタ57がオン状態となり、フォトダイオード51からFD53へ信号電荷が読み出され、さらにFDアンプMOSトランジスタ54および垂直選択MOSトランジスタ56を介して垂直信号線61に出力される。

【0045】その結果、出力しようとしているn行-m列目の画素の信号出力期間中に、FD53は画素の信号電荷を読み出す前と後の2つの電位状態をとることになる。そして、それらの電位状態をFDアンプMOSトランジスタ54により增幅して得られる信号電流が、垂直信号線61から水平選択MOSトランジスタ64および水平信号線63を介してCDS回路67へ、画素の信号電荷を読み出す前と後の2つの電位状態に相当するノイズ成分と信号成分として順次供給される。

【0046】すなわち、n番目の水平走査期間（1H）において、垂直走査回路65から出力される垂直読み出し走査パルスφVT<sub>n</sub>および垂直選択走査パルスφVS<sub>n</sub>がそれぞれ立ち上がりことによってn行目の画素行が選択される。この1H期間における水平ブランкиング期間を除く水平映像期間では、n行目の画素行を水平に走査するために、水平走査回路66から出力される水平選択走査パルスφHS<sub>m</sub>および水平読み出し走査パルスφHR<sub>m</sub>がそれぞれ立ち上がりことによって信号電流が順次出力される。

【0047】1画素の信号の内訳は、信号出力期間の前半がFDリセット直後の信号（ノイズ成分）レベルで、その後半が画素信号電荷をFD53に読み出した信号（信号成分）レベルになる。このような動作を実現するために、水平選択走査パルスφHS<sub>m</sub>および水平読み出し走査パルスφHR<sub>m</sub>は違うタイミングで出力されるようになっている。すなわち、水平選択走査パルスφHS<sub>m</sub>については1画素の期間全体で“H”レベルになり、水平読み出し走査パルスφHR<sub>m</sub>については1画素の期

【0048】その結果、先述したように、出力しようとしている画素のFD53は予めその一つ前の画素から信号成分が出力されている期間（水平読み出し走査パルス $\phi H R_{m-1}$ が“H”レベルの期間）においてリセットされ、その画素の信号出力期間に入ると先ず、FD53がリセットされた状態の信号、即ちノイズ成分が出力される。

【0049】そして、信号出力期間の後半では、垂直読み出し走査パルス $\phi V R_n$ がゲート電極に印加されることによってオン状態にある読み出し制御MOSトランジスタ57を通して、水平読み出し走査パルス $\phi H R_m$ が読み出しゲート部52のゲート電極に与えられることにより、埋め込みフォトダイオード51からFD53に信号電荷が読み出され、この信号電荷の読み出しによって変動するFD53の電位がFDアンプMOSトランジスタ54で信号電流に変換され、画素の信号、即ち信号成分として出力される。

【0050】このようにして出力された信号電流を、一例として、図3に示す回路構成のCDS回路67を通すことにより、各画素のFDアンプMOSトランジスタ54の持つバラツキ、特にVthバラツキに起因する固定パターンノイズを抑圧した映像信号を得ることができる。

【0051】ここで、図3に示す回路構成のCDS回路67における回路動作について、図7のタイミングチャートを用いて説明する。

【0052】水平選択走査パルス $\phi H S_m$ が“H”レベル状態にあるその期間の前半に、ノイズ成分の信号電流Isigが入力端子31に入力され、電流電圧変換回路32によって極性の反転した信号電圧Vsigに変換される。このノイズ成分の信号電圧Vsigが出力されている期間に合わせてクランプパルス $\phi C_L$ が立つ。すると、クランプMOSトランジスタ34が導通状態となり、クランプキャパシタ33とサンプルホールドMOSトランジスタ35の接続点の電位をクランプ電圧Vc1に初期化する。

【0053】その後、水平選択走査パルス $\phi H S_m$ が“H”レベル状態にあるその期間の後半、即ち水平読み出し走査パルス $\phi H R_m$ が“H”レベル状態にある期間に、信号成分の信号電流Isigが入力端子31に入力されると、電流電圧変換回路32からそれに相当する信号電圧Vsigがクランプキャパシタ33の入力端側に与えられる。これにより、クランプキャパシタ33の出力端側の電位が、そのノイズ成分と信号成分の差分に相当する電圧だけクランプ電圧Vc1を基準に変化する。

【0054】そして、サンプルホールドパルス $\phi S_H$ が立ち上がり、これに応答してサンプルホールドMOSトランジスタ35が導通状態になることで、クランプ電圧

ンプMOSトランジスタ54の持つ特性のバラツキ成分、主にVthバラツキを除去することができる。

【0055】上述したように、第2実施形態においては、フォトダイオード51として、埋め込みフォトダイオードを用いたことにより、暗電流による固定パターンノイズを効果的に抑えることができる。すなわち、半導体表面の準位から熱励起によって暗電流の支配的な発生要因となる電子が発生するが、フォトダイオード51の表面のP+層に存在する自由な電荷は正孔だけで、電子は枯渇状態にあるため、表面準位は正孔で満たされ、表面準位からの電子の発生が著しく減少する。したがって、暗電流むらや暗電流によるショットノイズを大幅に軽減できる。

【0056】また、フォトダイオード51からFD53への信号電荷の読み出しを画素信号期間に行い、信号電荷の読み出し前後の信号（ノイズ成分と信号成分）を順次出力し、その出力信号を相関二重サンプリングすることにより、各画素のFDアンプMOSトランジスタ54のVthバラツキによる固定パターンノイズを抑圧できる。しかも、信号電荷の読み出し前後の信号が同一の信号経路を通る構成となっており、別々のスイッチ素子（水平選択MOSトランジスタ）を通ることがないため、垂直信号線61に接続されたスイッチ素子の特性のバラツキに起因する縦筋状の固定パターンノイズについても抑圧できる。

【0057】次に、第2実施形態における他の駆動タイミング例について説明する。図8は他の駆動タイミング例を示すタイミングチャートであり、図9はその駆動タイミング例におけるCDS回路67の回路動作に係るタイミングチャートである。この駆動タイミング例では、水平読み出し走査パルス $\phi H R_m$ が“L”レベルに遷移した後に信号成分を読み出すようにした点を特徴としている。

【0058】先ず、水平走査回路66から1列前の水平読み出し走査パルス $\phi H R_{m-1}$ が出力され、水平読み出し線59<sub>m-1</sub>を介してFDリセットゲート部55のゲート電極に印加されることで、FD53がVDDレベルにリセットされる。そのすぐ後に、水平走査回路66からm列目の水平選択走査パルス $\phi H S_m$ が出力されることで、n行-m列目の画素の信号出力期間となる。このとき、リセットされたFD53のレベルに応じてFDアンプMOSトランジスタ54で増幅されたノイズ成分が、垂直選択MOSトランジスタ56を介して垂直信号線61へ、さらに水平選択MOSトランジスタ64を通して水平信号線63へ出力される。

【0059】また、この信号出力期間中に、水平走査回路66から水平読み出し走査パルス $\phi H R_m$ が出力され、水平読み出し線59<sub>m</sub>を介して読み出し制御MOS

て、この読み出し制御MOSトランジスタ57を通して水平読み出し走査パルス $\varphi_{HR_m}$ が印加されることで、読み出しゲート部52がオン状態となるため、フォトダイオード51に蓄積されていた信号電荷が読み出しゲート部52によってFD53へ読み出される。

【0060】続いて、水平読み出し走査パルス $\varphi_{HR_m}$ が消滅（“L”レベルへ遷移）し、読み出し制御MOSトランジスタ57を通して読み出しゲート部52がオフ状態となった後、FD53へ読み出された信号電荷に応じてFDアンプMOSトランジスタ54で増幅された信号成分が、垂直選択MOSトランジスタ56を介して垂直信号線61へ、さらに水平選択MOSトランジスタ64を通して水平信号線63へ出力される。

【0061】このようにして、画素の信号電荷を読み出す前と後の2つの電位状態に相当するノイズ成分と信号成分が水平信号線63へ出力され、さらにCDS回路67へ順次供給されて相関二重サンプリングが行われることで、各画素のFDアンプMOSトランジスタ54の持つバラツキ、特にVthバラツキに起因する固定パターンノイズが抑圧される。

【0062】特に、本駆動タイミング例では、ノイズ成分の読み出し時と信号成分の読み出し時で読み出しゲート部52に印加されている電位が共に“L”レベル、即ち同電位になるように、水平読み出し走査パルス $\varphi_{HR_m}$ が“L”レベルに遷移してから信号成分を読み出すような駆動タイミングとしているので、読み出しゲート部52を構成するMOSトランジスタに起因する固定パターンノイズをも確実に抑圧できる。

【0063】また、本発明に係る固体撮像素子においては、垂直選択走査パルス $\varphi_{VS_n}$ および垂直読み出し走査パルス $\varphi_{VT_n}$ のタイミングに工夫を凝らすことによって電子シャッタ動作も実現できる。図10は、電子シャッタ動作を行うときの垂直選択走査パルス $\varphi_{VS_n}$ および垂直読み出し走査パルス $\varphi_{VT_n}$ のタイミングチャートである。

【0064】電子シャッタ動作を行うときは、垂直読み出し走査パルス $\varphi_{VT_n}$ のタイミングが通常動作のときと違う。すなわち、n行目の画素行が読み出されるタイミングの前に、シャッタスピードに相当する時間だけ前もって、垂直選択走査パルス $\varphi_{VS_n}$ はそのままに、垂直読み出し走査パルス $\varphi_{VT_n}$ だけ立たせ、フォトダイオード51からFD53への信号電荷の読み出しのみを行う。

【0065】このとき、k行目の画素信号が出力されているとしたら、n行目の画素のFDアンプMOSトランジスタ54によって増幅された信号電流は、垂直選択走査パルス $\varphi_{VS_n}$ が立たないので、n行目の画素信号がk行の画素信号に混ざって出力されることはない。その

荷の蓄積が再度開始され、n行目の画素行が読み出されるときになって、シャッタスピードの時間分だけ蓄積した信号電荷に対応した信号電流が出力される。

【0066】また、電子シャッタ動作を目的としてフォトダイオード51をリセットするために予めFD53に読み出された不要な信号電荷は、水平読み出し走査パルス $\varphi_{HR_m}$ によってFD53が水平走査ごとにリセットされ、電源VDDに接続されたリセットドレイン（N<sup>+</sup>層）に吸収される。

【0067】図11は、読み出しゲート部52がフォトダイオード51に過剰な光が入射して光電変換した信号電荷（電子）が隣接する画素などに漏れ混むなどのブルーミングという現象を抑止するオーバーフロー（アンチブルーミング）動作を行える様子を示した図である。同図では、フォトダイオード51からFDリセットゲート部55にかけてのポテンシャルダイアグラムを、蓄積状態（A）、読み出し状態（B）、FDリセット状態（C）、オーバーフロー状態（D）の4状態について示している。

【0068】ここで、蓄積状態（A）におけるFD読み出しゲート部52のポテンシャル $\varphi_{ROG}$ が、0V（フォトダイオード51の素子分離領域の電位）よりも高く設定されていることにより、強い入射光によって過剰に発生した信号電荷が、FD読み出しゲート部52を通してFD53にオーバーフローする（オーバーフロー動作）。このときに、オーバーフローした信号電荷は、水平走査ごとおよび画素信号がFD53に読み出される直前に行われるFDリセット動作によりリセットされ、映像信号に悪影響を与えないようになることができる。

【0069】さらには、オーバーフロー動作によりFD53までも溢れてしまうような強い光が入射するような場合は、蓄積状態（A）におけるFDリセットゲート部55のポテンシャル $\varphi_{RG}$ を、蓄積状態（A）におけるFD読み出しゲート部52のポテンシャル $\varphi_{ROG}$ よりも高く設定しておくことにより、FD53で溢れた信号電荷がフォトダイオード51に逆流することなく、FDリセットゲート部55を通してリセットドレインに吸収され、映像信号に悪影響を与えないようになることができる。

【0070】このように、垂直走査パルスを垂直選択走査パルス $\varphi_{VS_n}$ および垂直読み出し走査パルス $\varphi_{VT_n}$ の2系統に分け、そのタイミング関係を適当に設定することにより、電子シャッタ動作を行うことも可能となる。しかも、読み出しゲート部52に対して読み出し動作の他に、画素信号のオーバーフロー動作をも持たせる構造としたことで、画素サイズを小さくすることができます。

【0071】なお、上記各実施形態においては、単位画

型固体撮像素子に適用した場合について説明したが、本発明は、これに限定されるものではなく、例えばFGアンプ（フローティング・ゲート・アンプ）を増幅素子として用いた構成の増幅型固体撮像素子にも同様に適用可能である。

#### 【0072】

【発明の効果】以上説明したように、本発明によれば、増幅機能を持つ単位画素が行列状に配置されてなる固体撮像素子において、単位画素の各々で画素信号を出力するごとに各増幅素子の蓄積部をリセットするようにしたことにより、各単位画素からはリセット前とリセット後の信号が1画素ごとに順次出力されるので、リセット前とリセット後の信号の差分をとることによって固定パターンノイズを抑圧でき、しかもリセット前とリセット後の信号を垂直信号線から水平信号線へ同一の信号経路を経由して出力することができるため、縦筋状の固定パターンノイズの発生も抑えることができる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施形態を示す構成図である。

【図2】第1実施形態の動作説明のためのタイミングチャートである。

【図3】CDS回路の構成の一例を示す回路図である。

【図4】第1実施形態におけるCDS回路の動作説明のためのタイミングチャートである。

【図5】本発明の第2実施形態を示す構成図である。

【図6】第2実施形態の動作説明のためのタイミングチャートである。

【図7】第2実施形態におけるCDS回路の動作説明のためのタイミングチャートである。

【図8】第2実施形態に係る他の駆動タイミング例を示すタイミングチャートである。

【図9】第2実施形態に係る他の駆動タイミング例におけるCDS回路の動作説明のためのタイミングチャートである。

【図10】電子シャッタ動作時の垂直走査パルスのタイミングチャートである。

【図11】アンチブルーミング動作を説明するポテンシャル図である。

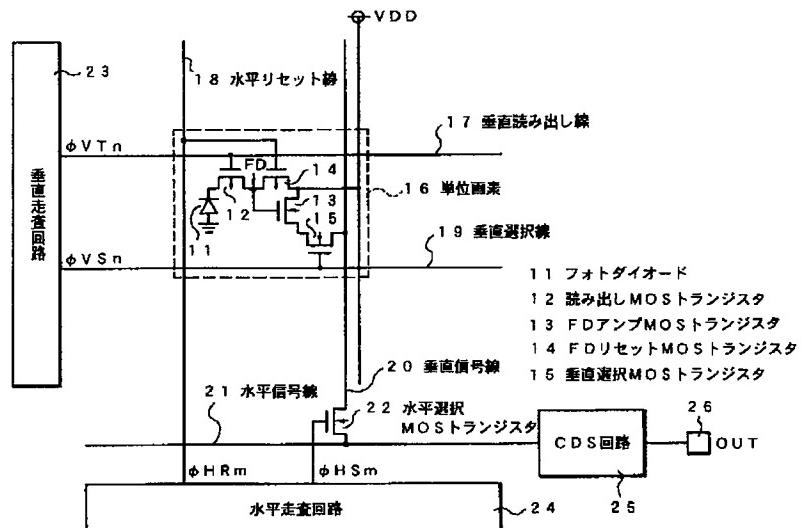
【図12】従来例を示す構成図である。

【図13】課題を説明するための構成図である。

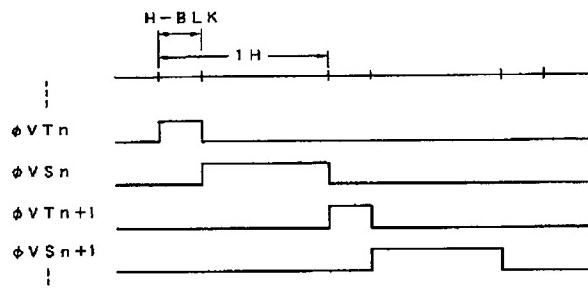
#### 【符号の説明】

11…フォトダイオード、12…FD読み出しMOSトランジスタ、13, 14…FDアンプMOSトランジスタ、14…FDリセットMOSトランジスタ、15, 16…垂直選択MOSトランジスタ、16, 17…単位画素、17, 18…垂直読み出し線、18…水平リセット線、19…垂直選択線、20, 21…垂直信号線、21, 22…水平選択MOSトランジスタ、23, 24…垂直走査回路、24, 25…水平走査回路、25, 26…CDS（相関二重サンプリング）回路、51…埋め込みフォトダイオード、52…読み出しゲート部、53…FD（フローティングディフュージョン）、55…FDリセットゲート部、59…水平読み出し線（水平リセット線）

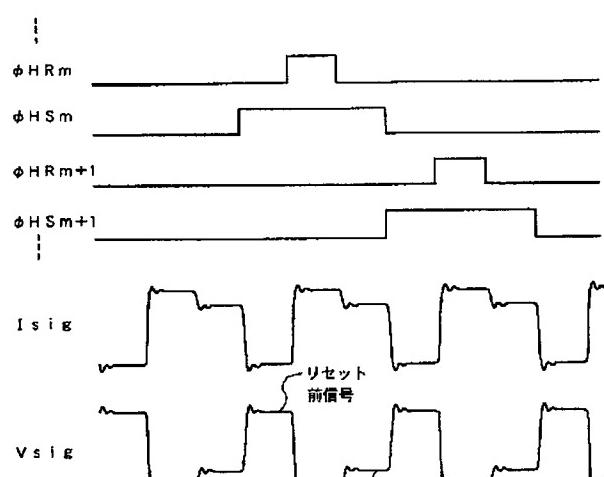
【図1】



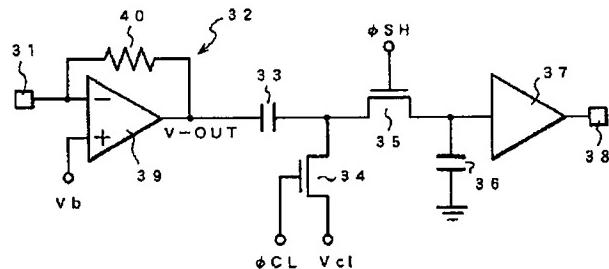
【図2】



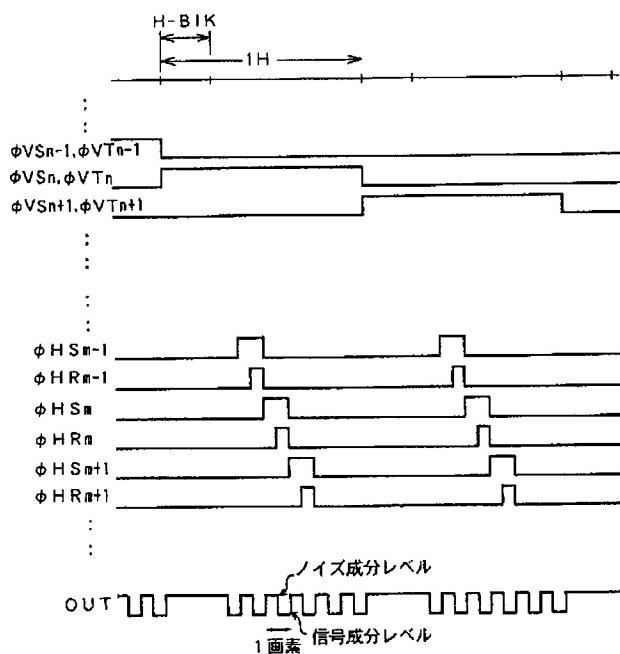
【図4】



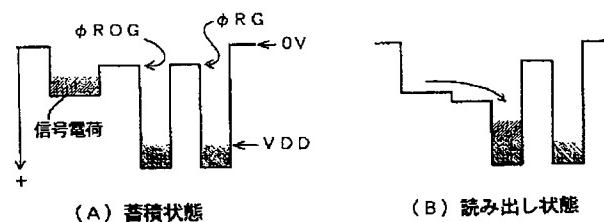
【図3】



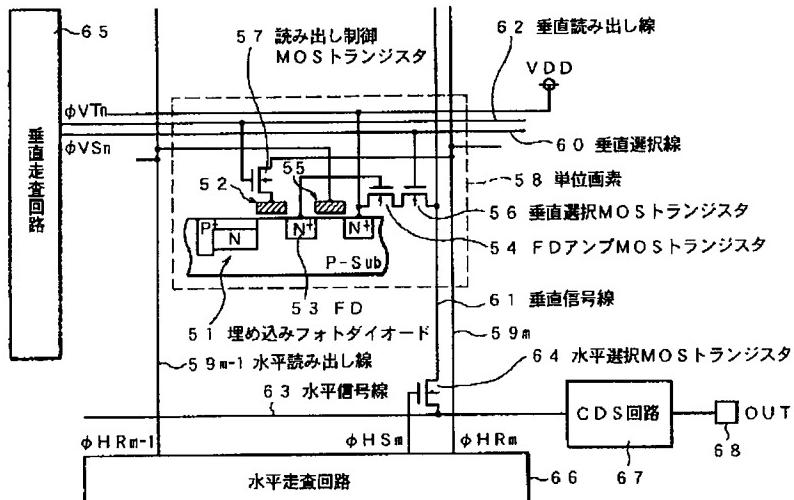
【図6】



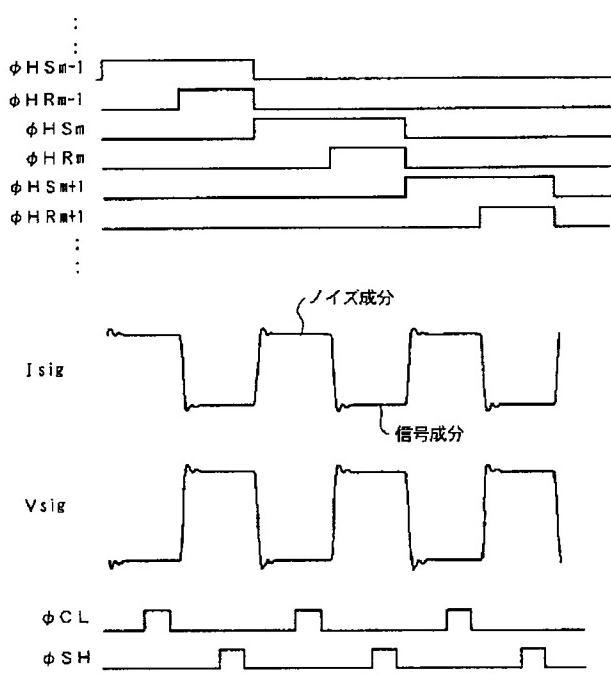
【図11】



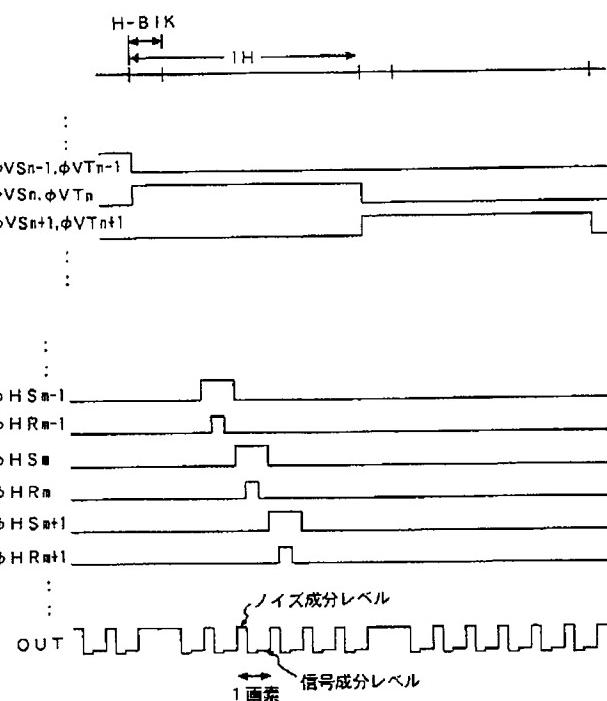
【図5】



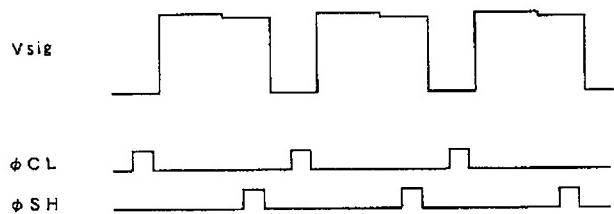
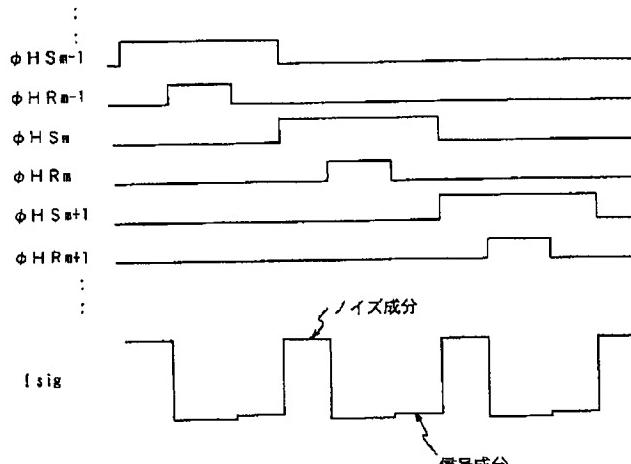
【図7】



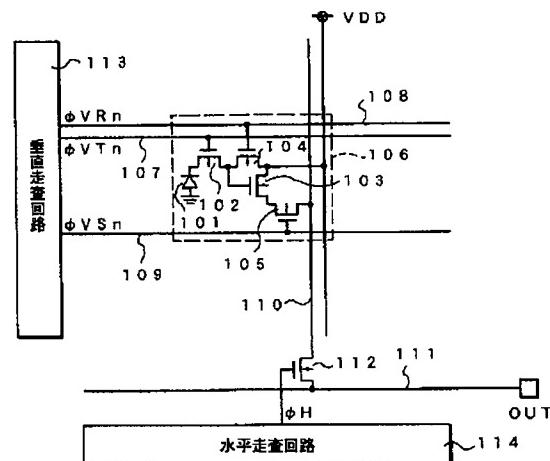
【図8】



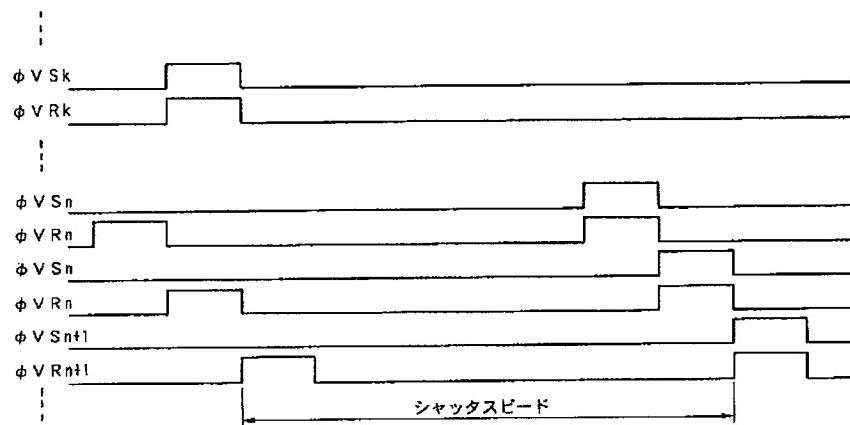
【図9】



【図12】



【図10】



【図13】

